

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 昭63-124155

⑤ Int.Cl.⁴
G 06 F 12/14

識別記号 320
厅内整理番号 D-7737-5B

③ 公開 昭和63年(1988)5月27日

審査請求 未請求 発明の数 1 (全7頁)

④ 発明の名称 記憶情報保護装置

① 特願 昭62-232748

② 出願 昭62(1987)9月18日

優先権主張 ② 1986年11月5日 ③ 米国(U.S.)① 927298

⑦ 発明者 スティーヴ・ハリス・ アメリカ合衆国ニューヨーク州ピークスキル、フォックス・ヒル・ロード11番地
ヴァインアート

⑧ 出願人 インターナショナル・ アメリカ合衆国10504、ニューヨーク州 アーモンク (番
ビジネス・マシーン
ズ・コーポレーション
地なし)

⑨ 代理人 弁理士 山本 仁朗 外1名

明細書

1. 発明の名称 記憶情報保護装置

2. 特許請求の範囲

- (a) 情報を記憶した電子回路の付近に電磁エネルギーを分布させるための手段と、
- (b) 上記エネルギー感知する手段と、
- (c) クロック回路と、
- (d) 上記感知手段の出力をサンプルし記憶するよう上記クロック回路によって周期的にクロック制御されるサンプル・ホールド回路と、
- (e) 上記感知手段の出力を上記サンプル・ホールド回路の出力に依存した基準レベルと比較し、上記エネルギーの変動を検出した時上記電子回路への侵入を示す信号を発生する手段と、
- (f) 上記信号に応答して上記電子回路又はその中の記憶情報を破壊するための手段と、

を有する記憶情報保護装置。

3. 発明の詳細な説明

A. 産業上の利用分野

本発明は電子的に記憶される情報のための物理的安全保護技術に関する。

B. 従来技術

機械読み取り可能な形で入れられているプログラム又はデータを保護するためにコンピュータ業界で取られている伝統的な方法は、コンピュータ設置環境の物理的保護又はこのような保護と何らかの法的保護との組合せを用いるものである。また、許可されない者が不正入手情報を使用できないようにするために暗号化方法も用いられている。パソコン・コンピュータの領域では、多くの様々なソフトウェア・コピー保護方式が用いられているが、すべてのものはプログラムに組込んだある種のソフトウェア・トラップに基くものであり、徹底した侵害者に対しては有效でない。

米国特許第4471163号はソフトウェア保護機構を例示している。記憶情報の安全保護を図るために、この特許は、プログラム・ロックを表

着する回路板を上下の保護プレートで包囲することを示している。構成要素のための電池電力は保護プレートの内面に取付けた導体を通して供給される。この技術によれば、プリント回路板上の構成要素にアクセスしようとする者は必ず少なくとも一方の保護プレートを動かさねばならず、結果として、電力供給リードを破壊することになる。保護すべき情報を記憶したメモリが電力を必要とするときは、この電力線リードの破壊は、侵入者が求めていた情報を破壊し、従って情報が保護されることになる。

米国特許第4471163号の保護機構は、電力線リードが直接取付けられている保護プレート部分を動かした時にしか有効に働かない。このようなプログラム・ロックに何度かアクセスしたことがある徹底した侵害者であれば、保護の程度を知るために何個かの回路板を破壊するとしても、このような保護の裏をかくことは容易にできることである。

情報入手のために装置又は機械設置場所に対し

てなされる侵入行為がいくつかの段階で行なわれることは想像できることである。

- (1) 包囲体又は包囲体及びカバーの取外し
- (2) 安全保護センサの位置及び機能の識別
- (3) センサを回避して次の保護レベルへ侵入する、などである。

このような注意深く手順を踏んだ方法を使うと、十分な時間と資源さえあれば、現存する保護システムを打破することが可能である。

一方、侵入検出装置あるいは警報装置の大部分は所望の質の検出／警報システムを実現するために2つの相反する要件の妥協を取っている。即ち、1つは装置の感度が極力高いことであり、もう1つは装置が環境の変化（例えば温度、圧力、湿度などの変化）の影響を受けると共に老化（これは電源や、抵抗、キャパシタなどの装置パラメータを変動させる）を生じ、誤検出あるいは誤警報を生じやすくなることである。そのため、装置パラメータが変化しても誤動作が生じないように検出感度を制限するのが一般的である。

C. 発明が解決しようとする問題点

本発明の目的は、侵入検出の感度を犠牲することなく誤検出の問題を軽減できるようにした、電子回路などに記憶される情報を保護する装置を提供することである。

D. 問題点を解決するための手段（第1図、第3図）

本発明は電子回路に記憶された情報を保護するものであり、情報を記憶した電子回路の付近に（詳しくはこれを取巻くように）電磁エネルギーを分布させるための手段を有する。例えば、これは電子回路を取巻くようにコイル30を巻回し、電流を流すことによって実現できる。また、電磁エネルギーを感知する手段、クロック回路及びサンプル・ホールド回路を有する。サンプル・ホールド回路はクロック回路によって周期的にクロック制御され、感知手段の出力をサンプルし記憶する。例えば、感知手段は、クロック回路によって周期的にリセットされる積分回路によって実現できる。また、比較手段及び比較手段に応答して電子回路

又はその中の記憶情報を破壊するための手段が設けられる。比較手段は感知手段の出力とサンプル・ホールド回路の出力に依存した基準レベルとの比較を行ない、電子回路領域への侵入によって電磁エネルギーが変動したことを検出した時、侵入を示す信号を発生し、電子回路又は記憶情報の破壊を指示する。

E. 実施例

第1図は、チップ11～13の形の電子回路を装着した電子回路カード10を含む、本発明の実施例の保護構造を示している。チップ11～13を相互接続するプリント回路配線及びこれらのチップをオフ・カード・コネクタ14へ接続するプリント回路配線は省略されている。カード10は保護されるべき情報を記憶するのに用いられる種々の装置の代表として例示している。記憶情報はコネクタ14を介してアクセス可能であるが、この経路を使った不正アクセスから保護することは本発明の範囲外のことである。本発明の意図は、それ以外の方法で記憶情報をアクセスできないよ

うにすることである。本発明の基本目的は、カード10を含む被保護領域に何も侵入できないようにすることによって達成される。破線50はカード10を取囲む包囲体を表わしている。

侵入を検出するため、本発明は包囲体内に感知装置を設ける。感知装置は、電磁エネルギーを分布させるための手段と、この電磁エネルギー分布を検出するための手段を含む。電磁エネルギー分布の変動又は中断を用いて侵入を感知する。多くのアプリケーションでは、保護されるべき情報は、電力の印加によって情報を維持する揮発性装置に記憶される。本発明は、この実施例では、侵入の検出時に揮発性メモリへの電力の印加を中断（詳しくは電源端子を接地）するか電子装置を破壊するよう制御することを意図している。この中断は簡単なスイッチで実施できる。しかし本発明は揮発性の情報記憶装置に特定されない。例えば、EEPROM装置は紫外光の印加によって消去可能であり、紫外光源を設けて、侵入の検出時にこの光源を付勢することも本発明に含まれる。

また、侵入者は導体30の一部を物理的に取り外し、取り外した導体部分の作用を模擬又は迂回することによって、保護装置に、導体30が完全に存在するかのように見せかけようとするかも知れないが、ニクロム線は取付けが難しいから、細いニクロム線はこのような細工を一層困難にする。これが2つ目の利点である。勿論、アルミニウム線又はステール合金線なども使用可能である。

第2図は、プロセッサ・カード10のようなカードが本発明によってどのように保護されるかを示している。包囲体の中には、保護カード210が装着されている。保護カード210は第3図に示されている回路を含む。プロセッサ・カード10及び保護カード210を取囲むように導体巻線30が形成される。カード10、210の端部の巻線を支持するために、2つの傾斜部材35が用いられる。巻線及びその中の構成要素はボッティング材50で包囲される。巻線30は1つ以上の巻回を乱さなければプロセッサ・カード10の領域へ侵入できないように配置される。本発明はこ

第1図に示すように、侵入の存在を感知するための1つの素子は、絶縁された導体30のコイルである。図では、コイルの内部に設けられたカード10が見えるようにするために、隣接する巻回間の間隔を誇張して示しているが、実際には、導体30のコイルは密な間隔でしっかりと巻回され、小さなプローブ又は他の器具などを挿入できないよう、コイルの存在そのものがカード10へのアクセスを物理的に防止するようになっている。従ってアクセスするためには、侵入者は、導体30のコイルの1つ以上の巻回を動かさねばならない。本発明の意図は、導体を動かすことを禁止あるいは防止するか又は少なくとも、導体を動かそうとする企図を感知することである。良好な実施例では導体30は約8.9μの比較的細い絶縁ニクロム線で形成される。これは2つの利点を与える。1つは、この導体30は比較的脆弱であり、従って導体を動かそうとすると、又は何かを細工しようとすると、容易に断線が生じることである（このことは、後述するように、検出の基本になる）。

のような亂れを検出する。

第3図は検出回路を示している。導体30の一端は、電源に結合され、他端は積分回路110への入力になっている。積分回路110の出力は線112を介してサンプル・ホールド回路120の入力に接続されると共に、線113を介して比較回路130の入力に接続されている。積分回路110はクロック回路100から線101を介して供給される信号により周期的にクロック制御される。サンプル・ホールド回路120は、クロック回路100から導体102を介して供給されるもう1つの信号により周期的にリセットされる。サンプル・ホールド回路120がリセットされる度に回路120は、積分回路110の出力の新しいサンプルを取り込む。サンプル・ホールド回路120の出力を分圧回路Vの端子Sに結合される。分圧回路Vは正電圧と大地のような2つの基準電位の間に結合される。正電圧と接続点Sとの間の点Hは比較回路130の高基準電圧入力に接続され、大地と点Sとの間の点Lは比較回路130の低基準

電圧入力に接続される。比較器130はクロック100から線103を介して供給される信号によってクロック制御される。これらの回路は市販の普通のものであり、詳しい説明は省略する。

通常の状態では、導体30に電流が流れ、電流の振幅は導体30の抵抗に一部依存し、この電圧は積分器110の入力に流れる。積分器110は、時間と共に変動する電圧出力を線113に発生する。第4図は導体30の抵抗及び電源電圧が一定とした時の積分器出力波形を示している。この時積分器110の電圧出力は、傾斜波形となる。積分器110はクロック100により時間t1に周期的にリセットされる。リセットされると出力電圧はゼロになり、再び上昇する。

サンプル・ホールド回路120へのクロック入力は積分器110のリセット時間(t1)の前に、好ましくはその直前に能動状態になり、線112の電圧サンプルを取り込む。このサンプルに対応する電圧は点Sに与えられ、この電圧は、線120の次のクロック・パルスによって新しいサンプ

ルが取り込まれるまで一定に保たれる。

比較器130はその入力電圧を、高レベル入力H及び低レベル入力Lの電圧と比較し、高レベルを電圧Hよりも大きいか又は低レベル電圧よりも小さい時回路電力制御回路140へ出力を発生する。従って比較器130が応答しない窓領域が高レベルHと低レベルLの間に存在する。この窓は部分的にはサンプル・ホールド回路120によって決まるから、窓は感知装置のパラメータの変化に順応する。制御回路140は情報を記憶するチップ11～13への電力印加を中断する簡単なスイッチでもよく、あるいはチップ11～13の情報記憶維持機能を失わせるように何らかの装置を付勢又は起動するように働く回路でもよい。

ある瞬時に測定した導体の抵抗又はこれを表わす信号を単純に基準値と比較することも可能であるが、この場合は個別の時点での感知するだけとなり、感知時間外に生じる事象をカバーすることができない。従って、クロック周期のほぼ全体にわたる抵抗の測定を積分することによって、抵抗の

変化を感知するのが好ましい。積分器の使用はノイズ耐性を高める利点も有する。

明らかなように、比較器130への高レベル及び低レベルの基準電圧はサンプル・ホールド回路120によって発生される点Sの電圧の関数である。この電圧が上昇すると、基準電圧H、しも上昇し、この電圧が減少すると、H、Lも減少する。しかし比較器130は常に、前のサイクルで得たサンプルによって決まる基準レベルと積分器出力を比較する。名目上、パラメータは、比較器130がクロック100によってクロック制御される時に積分器出力が点Sの電圧とほぼ等しくなるように構成される。しかし、パラメータの変化のために、比較時刻における積分器110の出力がサイクル間で変動すれば、比較器130はその変動の程度に依存して出力を発生したり又は発生しなかったりする。積分器出力が基準レベルHとしの間にあれば、比較器130は出力を発生しない。従ってこの回路構成は、導体30の抵抗変化を感じるための手段として働く。サンプル・ホール

ド回路120及びその分圧器への接続Sにより、この回路は適応性を有し、パラメータが変わると基準レベルも変わる。比較器130は、1サイクル内の変動が分圧器R1、R2、R3、R4による変動を超なければトリップしない。

より具体的にいうと、窓の高い方へスレショルドをE_H、低い方のスレショルドをE_Lとした時、E_HはI₂ + (V - I₁) R₂ / R₁ + R₂で与えられ、E_LはI₂ - (I₁) R₃ / R₃ + R₄で与えられる。ここで、I₂は比較器へのクロック・パルスの時間における積分器出力であり、I₁はサンプル・ホールド回路への前のクロック・パルスの時間における積分器出力であり、R₁、R₂、R₃、R₄はI₁をR₂とR₃の間の入力とする分圧器抵抗である。比較器130は、次の条件の時に、不正操作又は侵入を示す出力を発生する。

I₂ > E_H 又は

I₂ < E_L

一定の基準レベルを用いた場合は、装置パラメ

ータの変動によって誤検出が生じる可能性があり、これを防止するためには、特性の変動を見越してスレショルドをゆるく設定しなければならず、検出感度を犠牲する必要があった。しかし本発明のようにサンプル・ホールド回路の出力によって可変の基準レベルを即ち適応性のある基準レベルを設定することにより、比較的小さなトレランスで高い検出感度を維持することができる。スレショルドは1クロック・サイクルで予測される変動に対応できれば十分である。特性の変動速度は通常、クロック速度よりもはるかに遅く、基準レベルはその変動を反映するようにクロック速度で更新されるから、誤検出の可能性が最小になる。

導体30の抵抗は、次の3つの物理的メカニズムのうちのどれかによって変動する：導体30が開放回路になった場合、隣接する巻回線が短絡した場合、及び導体の断面が小さくなるような損傷を受けた場合。侵入はこのような状況の検出によって暗示される。抵抗変化を感知するためには、単位長さ当たりの抵抗がある程度大きなコイル線を

用いるのが好ましい。

導体30の開放回路は積分器110の出力を急激に変化させ、この急激な変化はほとんど瞬時的であって、間違いなく比較器130によって検出される。

隣接する又は近接した巻回間の短絡をどの程度検出できるかは、短絡回路の形成によって生じる抵抗変化に依存する。もしコイルが1つの線（ストランド）であれば、短絡回路による抵抗変化は検出不能になりうる程度である（1%又はそれ以下）。第5図は短絡回路の効果を増大させる方法を示している。導体30に1つの線を用いる代わりに複数の線を用いる。第5図は4つの線30-1～30-4を示している。線1は電源Vに接続され、線2、3は一緒に結ばれ、線4は積分器入力に接続される。これらの4本の線は次にカードを取り囲むように同時に巻回される。巻線の両端は巻線表面の下側に押し込まれる。第5図で短絡回路はSCで示されている。好ましくはないが、別々の線を巻回した後に、線の端を接続して1つの

連続導体を形成することも可能である。このような巻線構成によれば、1つの連続した巻線回路上の離れた部分が隣接した巻回を形成するから、隣接する巻回の短絡で大きな抵抗変化を与えることができる。従って、隣接する2つの巻回が短絡しただけで25%もの抵抗変化を得ることができる（4線コイルの場合）。3本以上の線が短絡すると、更に大きな傾向が得られる。

第6図は別の巻線構成を示している。この例では、すべての線を例えば左から右へ巻回し、そしてすべての線の端が例えば左側で得られるように“隠れた”戻り線を用いている。線30-1は左から右へ巻回される第1の部分30-1aと、左端へ戻る連続した部分30-1bを含む。戻り線の部分30-1bは巻線の内部を通して戻される。同様に線30-2は“隠れた”戻り線部分30-2bを有する。すべての線を巻回した時、30-1bの端末部分を30-2aの端に接続し、30-2bの端末部分を30-3aの端に接続することができる。この巻線構成は特に巻線端近くの短

絡回路の効果を高める。

本発明による保護を更に高めるために、導体30を巻回した後に、パッケージ全体即ちカード、コイル及び感知回路全体を不透明な無機充填添加架橋エポキシ樹脂ポッティング材で埋込む。アルミナ又はシリカのような充填材を入れると機械加工（侵入者が用いるかも知れない作業）を困難にする利点がある。エポキシに対する別の可能性のある攻撃は溶剤又は化学処理の使用であるが、この場合は導体30の絶縁被覆（例えばポリウレタン又はポリオレフィン）及び恐らくは、導体自体がエポキシよりも先に溶解する。UVレーザ・アブレーションを用いた場合は、これに応答して無機充填材が多量の熱を発生し、この熱は熱勾配による機械的応力によってひび割れを生じ、また導線に損傷を与える。導体の破壊は開放回路を生じ、検出されることになる。ポッティング材の中にバイメタルのような、熱によって機械的変形を生じる感熱電子を組込んでおけば、ひび割れなどを助長し、導体損傷の発生確率を高めることができる。

特開昭63-124155(6)

本発明に従ってコイル導体を巻回するやり方は選択の巾がある。普通に各巻回が平行になるように規則的に密に巻回することもでき、あるいは不規則的に巻回することもできる。

導体30を複数の軸で巻回することにより、即ち、1層目をある軸で巻回し、2層目を別の軸例えば一層目と直角な軸で巻回することにより、カード10を完全に包囲し、“穴”がない状態にすることができる。

複数本のコイル線を用い複数層に重ね巻きすることは、相殺によりEMIの影響を低減するのに役立ち、また巻線の包囲はEM放電シールドを形成する。また、上述したような感知装置を複数個組込むことができる。

F. 発明の効果

本発明によれば、情報を記憶した電子回路領域への侵入を検出し、検出時に記憶情報を破壊するから、電子回路への物理的なアクセスを用いた記憶情報の不正入手を防止することができ、また比較回路はサンプル・ホールド回路の出力に基づいて

定まる可変基準レベルを用いるから、装置パラメータの変動に適応性があり、正確性を保つことができる。

4. 図面の簡単な説明

第1図は、本発明の実施例を示す図である。

第2図は、本発明による回路カード保護構造を示す断面図である。

第3図は、感知回路図である。

第4図は、第3図の積分器の出力波形図である。

第5図は、巻線構成を示す図である。

第6図は、代替巻線構成を示す図である。

出願人 インターナショナル・ビジネス・マシーンズ・コーポレーション

代理人 弁理士 山本仁朗
(外1名)



